САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab1

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Фам Ба Нам

группа:

3530901/90201

преподаватель:

Федотов А.А.

Санкт-Петербург

2021

Оглавление

[1 Задание lab1\_1 5](#_Toc82436738)

[1.1 Задание 5](#_Toc82436739)

[1.2 Описание на языке Verilog 5](#_Toc82436740)

[1.3 Результат синтеза (RTL) 6](#_Toc82436741)

[1.4 Моделирование 6](#_Toc82436742)

[1.5 Назначение выводов СБИС 8](#_Toc82436743)

[1.6 Тестирование на плате miniDiLaB-CIV 8](#_Toc82436744)

[1.7 Выводы 8](#_Toc82436745)

[2 Задание lab1\_2 9](#_Toc82436746)

[2.1 Задание 9](#_Toc82436747)

[2.2 Описание на языке Verilog 9](#_Toc82436748)

[2.3 Результат синтеза (RTL) 10](#_Toc82436749)

[2.4 Моделирование 10](#_Toc82436750)

[2.5 Назначение выводов СБИС 12](#_Toc82436751)

[2.6 Тестирование на плате miniDiLaB-CIV 12](#_Toc82436752)

[2.7 Выводы 12](#_Toc82436753)

[3 Задание lab1\_3 13](#_Toc82436754)

[3.1 Задание 13](#_Toc82436755)

[3.2 Описание на языке Verilog 13](#_Toc82436756)

[3.3 Результат синтеза (RTL) 14](#_Toc82436757)

[3.4 Моделирование 14](#_Toc82436758)

[3.5 Назначение выводов СБИС 15](#_Toc82436759)

[3.6 Тестирование на плате miniDiLaB-CIV 15](#_Toc82436760)

[3.7 Выводы 15](#_Toc82436761)

[4 Задание lab1\_4 16](#_Toc82436762)

[4.1 Задание 16](#_Toc82436763)

[4.2 Описание на языке Verilog 16](#_Toc82436764)

[4.3 Результат синтеза (RTL) 16](#_Toc82436765)

[4.4 Моделирование 17](#_Toc82436766)

[4.5 Назначение выводов СБИС 17](#_Toc82436767)

[4.6 Тестирование на плате miniDiLaB-CIV 18](#_Toc82436768)

[4.7 Выводы 18](#_Toc82436769)

[5 Задание lab1\_5 19](#_Toc82436770)

[5.1 Задание 19](#_Toc82436771)

[5.2 Описание на языке Verilog 19](#_Toc82436772)

[5.3 Результат синтеза (RTL) 19](#_Toc82436773)

[5.4 Моделирование 20](#_Toc82436774)

[5.5 Назначение выводов СБИС 21](#_Toc82436775)

[5.6 Тестирование на плате miniDiLaB-CIV 21](#_Toc82436776)

[5.7 Выводы 21](#_Toc82436777)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 5](#_Toc82436716)

[Рис. 1‑2 Предупреждение компилятора 5](#_Toc82436717)

[Рис. 1‑3 Синтезированная схема 6](#_Toc82436718)

[Рис. 1‑4 Результат моделирования средствами QII 8](#_Toc82436719)

[Рис. 1‑5 Назначение выводов в приложении Pin Planner 8](#_Toc82436720)

[Рис. 2‑1 Описание на языке Verilog 9](#_Toc82436721)

[Рис. 2‑2 Другой способ описания на языке Verilog 9](#_Toc82436722)

[Рис. 2‑3 Синтезированная схема 10](#_Toc82436723)

[Рис. 2‑4 Результат моделирования средствами QII 12](#_Toc82436724)

[Рис. 2‑5 Назначение выводов в приложении Pin Planner 12](#_Toc82436725)

[Рис. 3‑1 Описание на языке Verilog 13](#_Toc82436726)

[Рис. 3‑2 Синтезированная схема 14](#_Toc82436727)

[Рис. 3‑3 Результат моделирования средствами QII 15](#_Toc82436728)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 15](#_Toc82436729)

[Рис. 4‑1 Описание на языке Verilog 16](#_Toc82436730)

[Рис. 4‑2 Синтезированная схема 16](#_Toc82436731)

[Рис. 4‑3 Результат моделирования средствами QII 17](#_Toc82436732)

[Рис. 4‑4 Назначение выводов в приложении Pin Planner 18](#_Toc82436733)

[Рис. 5‑1 Описание на языке Verilog 19](#_Toc82436734)

[Рис. 5‑2 Синтезированная схема 19](#_Toc82436735)

[Рис. 5‑3 Результат моделирования средствами QII 21](#_Toc82436736)

[Рис. 5‑4 Назначение выводов в приложении Pin Planner 21](#_Toc82436737)

# Задание lab1\_1

## Задание

Демонстрационная работа.

В процессе работы создаётся рабочая папка, проект и новый файл SystemVerilog HDL. В этот файл вводится текстовое описание схемы. Затем осуществляется компиляция. Далее необходимо просмотреть синтезированную пакетом схему в RTL Viewer. Также осуществляется функциональное моделирование. После задаются выводы на СБИС и выполняется полная компиляция проекта.

При защите лабораторной работы открывается программатор и осуществляется конфигурирование СБИС.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

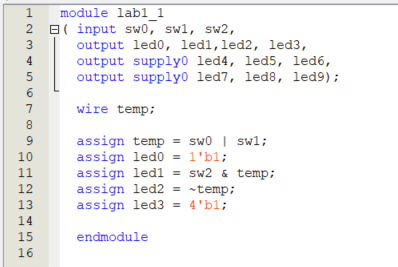


Рис. 1‑1 Описание на языке Verilog

Было введено текстовое описание схемы, после чего была осуществлена компиляция. В результате компиляции ошибок не возникло, было лишь несколько предупреждений, среди которых было следующее предупреждение (Рис. 1-2).



Рис. 1‑2 Предупреждение компилятора

Это предупреждение возникает из-за того, что выходному одноразрядному порту led3 присваивается четырёхразрядное значение 4’b1.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑3. Изображение схемы получено с помощью приложения RTL Viewer.

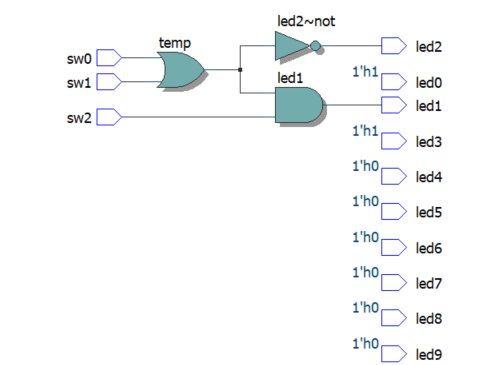


Рис. 1‑3 Синтезированная схема

## Моделирование

Для удобства осуществления функционального моделирования: входы sw0, sw1 и sw2 сгруппированы в группу sw; выходы led0 и led3 сгруппированы в группу LED\_on (так как они всегда равны 1); выходы led4, led5, led6, led7, led8 и led9 сгруппированы в группу LED\_off (так как они всегда равны 0).

Значение для led1 и led2 получается следующим образом:

led1 = temp & sw2 = (sw0 | sw1) & sw2

led2 = ~temp = ~(sw0 | sw1)

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw подается 000
* на выходе led1 получаем 0
* на выходе led2 получаем 1
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 2:

* на группу входов sw подается 001
* на выходе led1 получаем 0
* на выходе led2 получаем 1
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 3:

* на группу входов sw подается 010
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 4:

* на группу входов sw подается 011
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 5:

* на группу входов sw подается 100
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 6:

* на группу входов sw подается 101
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 7:

* на группу входов sw подается 110
* на выходе led1 получаем 0
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

1. проверка 8:

* на группу входов sw подается 111
* на выходе led1 получаем 1
* на выходе led2 получаем 0
* на группе выходов LED\_on получаем 11
* на группе выходов LED\_off получаем 00000

Результаты моделирования приведены на Рис. 1-4.

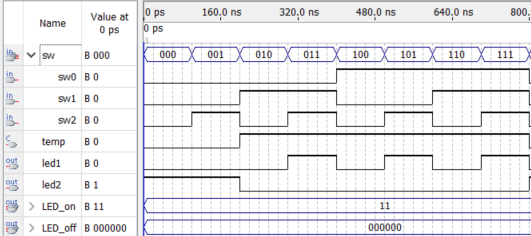


Рис. 1‑4 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1-5.

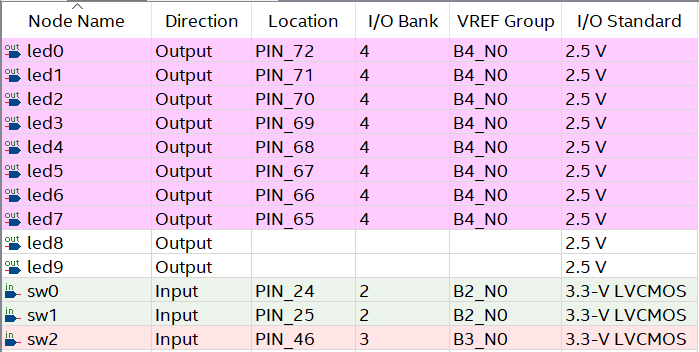


Рис. 1‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Демонстрационная работа была успешно выполнена.

# Задание lab1\_2

## Задание

Необходимо на языке Verilog, используя логические выражения, опишите мультиплексор 2(4 бит) => 1(4 бит): входы данных – переключатели sw[7:4] и sw[3:0], выходы – светодиоды led[3:0].

Управление переключением – кнопка:

= 1: sw[7:4] => led[3:0]

= 0: sw[3:0] => led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

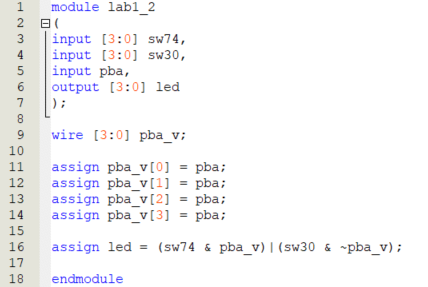


Рис. 2‑1 Описание на языке Verilog

Однако, для описания мультиплексора будет выбран первый способ, так как он содержит логические выражения, в соответствии с сформулированным заданием.

Для этого объявляется 4-х разрядный сигнал pba\_v. Тогда, если pba = 0, pba\_v = 0000. Иначе, если pba = 1, то pba\_v = 1111.

Далее идёт логическое выражение qd = (sw74 & pba\_v) | (sw30 & ~ pba \_v).

Таким образом, выбранные с помощью pba 4 бита будут побитно (bitwise) умножаться (&, AND) на логическую 1, а невыбранное 4 бита будут побитно умножаться на логический 0. Полученные результаты побитно суммируются (|, OR), и на выходе получаются нужные 4 бита.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑3. Изображение схемы получено с помощью приложения RTL Viewer.

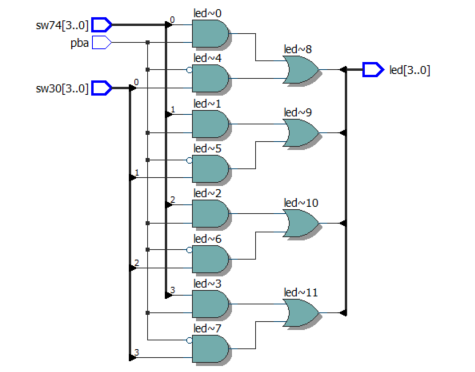


Рис. 2‑3 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw30 подается 0000
* на группу входов sw74 подается 1000
* на вход pba подаётся 0
* на группе выходов led получаем 0000

1. проверка 2:

* на группу входов sw30 подается 0001
* на группу входов sw74 подается 1001
* на вход pba подаётся 1
* на группе выходов led получаем 1001

1. проверка 3:

* на группу входов sw30 подается 0010
* на группу входов sw74 подается 1010
* на вход pba подаётся 0
* на группе выходов led получаем 0010

1. проверка 4:

* на группу входов sw30 подается 0011
* на группу входов sw74 подается 1011
* на вход pba подаётся 1
* на группе выходов led получаем 1011

1. проверка 5:

* на группу входов sw30 подается 0100
* на группу входов sw74 подается 1100
* на вход pba подаётся 0
* на группе выходов led получаем 0100

1. проверка 6:

* на группу входов sw[0] подается 0101
* на группу входов sw[1] подается 1101
* на вход pba подаётся 1
* на группе выходов led получаем 1101

1. проверка 7:

* на группу входов sw[0] подается 0110
* на группу входов sw[1] подается 1110
* на вход pba подаётся 0
* на группе выходов led получаем 0110

1. проверка 8:

* на группу входов sw[0] подается 0111
* на группу входов sw[1] подается 1111
* на вход pba подаётся 1
* на группе выходов led получаем 1111

Результаты моделирования приведены на Рис. 2-4.

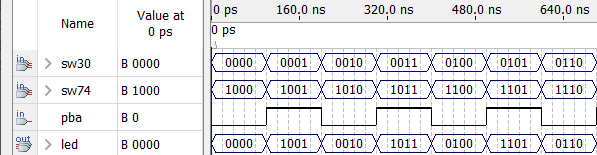


Рис. 2‑4 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑5

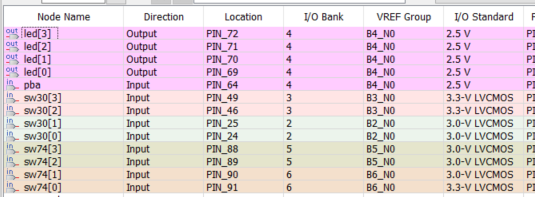


Рис. 2‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

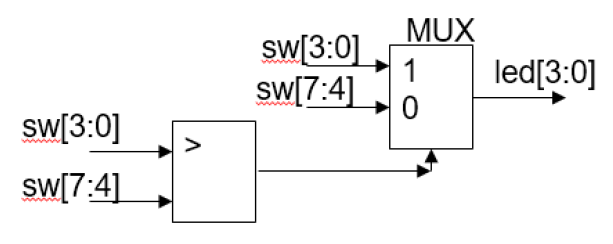
Мультиплексор 2(4 бит) => 1(4 бит) был успешно описан.

# Задание lab1\_3

## Задание

На языке Verilog, используя логические выражения или оператор условного выбора, описать устройство выбора максимума из двух 4-х разрядных данных.

Это устройство должно иметь следующую структурную схему:



Входы данных – переключатели sw[7:4] и sw[3:0], выходы – светодиоды led[3:0].

Управление переключением – кнопка:

= 1: sw[7:4] => led[3:0]

= 0: sw[3:0] => led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3-1.

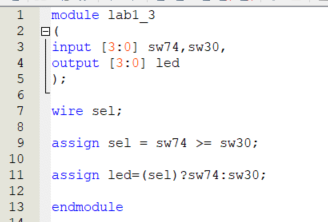


Рис. 3‑1 Описание на языке Verilog

В этой лабораторной работе уже можно описать устройство, используя оператор условного выбора assign qd = (sel) ? sw74 : sw30. При этом описание получается более простым и коротким по сравнению с вариантом, где использовались бы логические выражения.

Объявляется одноразрядный сигнал sel: sel = 1 при sw71 >= sw30, sel = 0 при sw74 < sw30. Этот сигнал подаётся в качестве условия в операторе условного выбора. Таким образом, когда sel = 1, то led = sw74, когда sel = 0, то qd = sw30.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3-2. Изображение схемы получено с помощью приложения RTL Viewer.

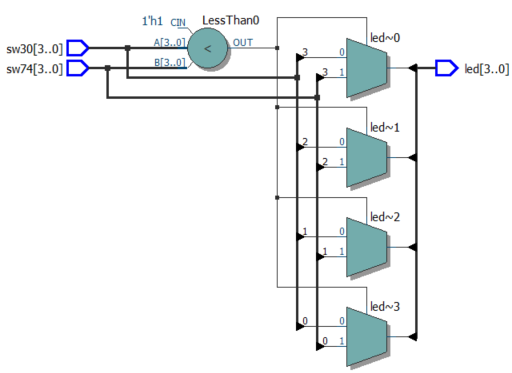


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw30 подается 0100
* на группу входов sw74 подается 1110
* на группе выходов led получаем 1110

1. проверка 2:

* на группу входов sw30 подается 0101
* на группу входов sw74 подается 1100
* на группе выходов led получаем 1100

1. проверка 3:

* на группу входов sw30 подается 1100
* на группу входов sw74 подается 0001
* на группе выходов led получаем 1100

1. проверка 4:

* на группу входов sw30 подается 0011
* на группу входов sw74 подается 0011
* на группе выходов led получаем 0011

1. проверка 5:

* на группу входов sw30 подается 1010
* на группу входов sw74 подается 1000
* на группе выходов led получаем 1010

1. проверка 6:

* на группу входов sw30 подается 0100
* на группу входов sw74 подается 0011
* на группе выходов led получаем 0100

Результаты моделирования приведены на Рис. 3.3.

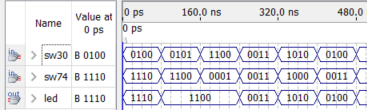


Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3-4.

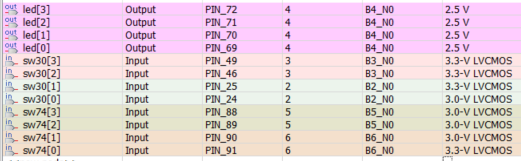


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Устройство выбора максимума из двух 4-х разрядных данных было успешно описано.

# Задание lab1\_4

## Задание

На языке Verilog, используя логические выражения, описать преобразователь двоичного кода в позиционный код (один-из-N).

Входы двоичных данных – переключатели sw[1:0], выходы – светодиоды led[3:0].

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4-1.

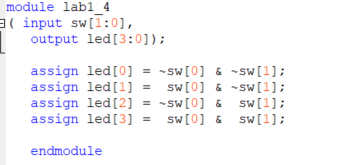


Рис. 4‑1 Описание на языке Verilog

Значение на каждом выходе определяется соответствующим логическим выражением.

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4-2. Изображение схемы получено с помощью приложения RTL Viewer.

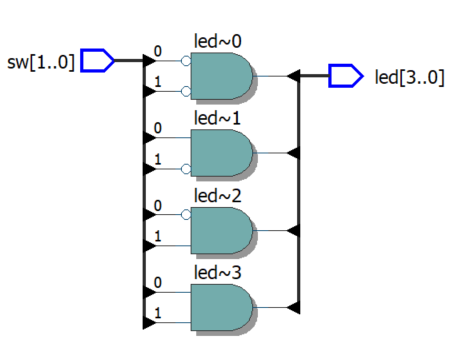


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw[0] подается 0
* на группу входов sw[1] подается 0
* на группе выходов qd получаем 0001

1. проверка 2:

* на группу входов sw[0] подается 0
* на группу входов sw[1] подается 1
* на группе выходов qd получаем 0010

1. проверка 3:

* на группу входов sw[0] подается 1
* на группу входов sw[1] подается 0
* на группе выходов qd получаем 0100

1. проверка 4:

* на группу входов sw[0] подается 1
* на группу входов sw[1] подается 1
* на группе выходов qd получаем 1000

Результаты моделирования приведены на Рис. 4-3.

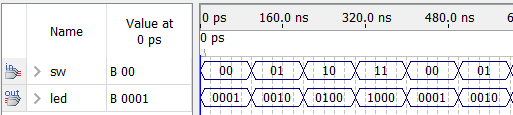


Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4-4.

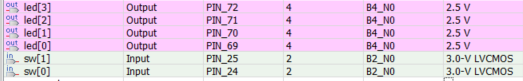


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Преобразователь двоичного кода в позиционный код (один-из-N) был успешно описан.

# Задание lab1\_5

## Задание

На языке Verilog, используя логические выражения, описать полный одноразрядный сумматор.

Входы данных – переключатели sw[1:0], входной перенос – кнопка, выходы – светодиоды led[1:0].

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 5-1.

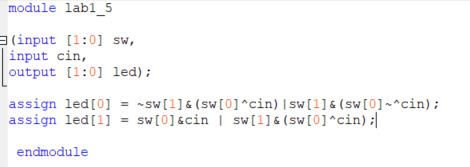


Рис. 5‑1 Описание на языке Verilog

Для описания полного одноразрядного сумматора важно учесть перенос из младшего разряда (вход cin). Первым двоичным слагаемым является значение поступающее на вход sw[0], вторым – значение поступающее на вход sw[1]. Тогда, результат, остающийся в текущем разряде, подаётся на выход led[0]; а перенос в следующий разряд подаётся на выход led[1].

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 5-2. Изображение схемы получено с помощью приложения RTL Viewer.

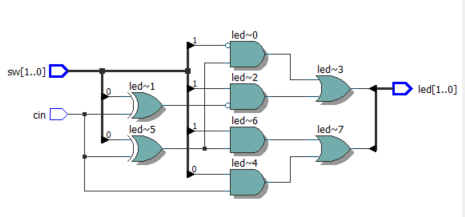


Рис. 5‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. Проверка 1:

* на вход cin подается 0
* на вход sw подается 00
* на выходе led получаем 00

1. Проверка 2:

* на вход cin подается 0
* на вход sw подается 01
* на выходе led получаем 01

1. Проверка 3:

* на вход cin подается 0
* на вход sw подается 10
* на выходе led получаем 01

1. Проверка 4:

* на вход cin подается 0
* на вход sw подается 11
* на выходе led получаем 10

1. Проверка 5:

* на вход cin подается 1
* на вход sw подается 00
* на выходе led получаем 01

1. Проверка 6:

* на вход cin подается 1
* на вход sw подается 01
* на выходе led получаем 10

1. Проверка 7:

* на вход cin подается 1
* на вход sw подается 10
* на выходе led получаем 10

1. Проверка 8:

* на вход cin подается 1
* на вход sw подается 11
* на выходе led получаем 11

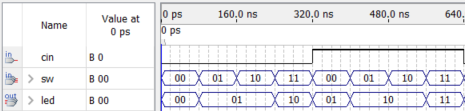


Рис. 5‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 5-4.

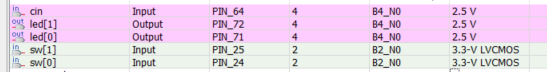


Рис. 5‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 5.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Полный одноразрядный сумматор был успешно описан.